مجله مهندسی مکانیک مدرس، دی 1396، دوره 17، شماره 10، ص‌ص 58-64

ماهنامه علمی پژوهشی

مهندسی مکانیک مدرس

mme.modares.ac.ir

چارچوب نرم‌افزاری برای ساخت کمک پردازنده مبتنی بر اف‌پی‌جی‌ای جهت ارتقاء سرعت در حل عددی

ایوب نیک روان شلمانی[1]، فواد فرحانی[2*]

1- دانشجوی دکتری، مهندسی مکانیک، سازمان پژوهش‌های علمی و صنعتی ایران، تهران
2- دانشیار، مهندسی مکانیک، سازمان پژوهش‌های علمی و صنعتی ایران، تهران
* تهران، صندوق پستی 33535111، f.farhani@irost.ir

اطلاعات مقاله

مقاله پژوهشی کامل
دریافت: 07مرداد 1396
پذیرش: 11 شهریور 1396
ارائه در سایت: 13 مهر 1396

کلید واژگان:
چارچوب نرم‌افزاری
کمک پردازنده
معادلات دیفرانسیل پاره‌ای
اف‌پی‌جی‌ای

چکیده

در سال‌های اخیر، قابلیت افزایش سرعت حل معادلات دیفرانسیل پاره‌ای با استفاده از سخت افزار اف‌پی‌جی‌ای مورد توجه جدی قرار گرفته است. با این وجود، پیچیدگی‌های پیاده‌سازی و برنامه‌نویسی این معادلات بر روی این سخت افزار از فراگیر شدن آن در بین کاربران حوزه محاسبات عددی جلوگیری کرده است. در این تحقیق، چارچوبی نرم‌افزاری توسعه یافته است که امکان ساخت کمک پردازنده مبتنی بر سخت افزار اف‌پی‌جی‌ای برای حل ضمنی معادلات دیفرانسیل پاره‌ای با حداقل پیچیدگی و زمان پیاده‌سازی را برای کاربر فراهم می‌سازد. با استفاده از این چارچوب، شبکه حل و روابط جبری معادلات توسط کاربر تعریف شده و بقیه موارد شامل تولید آی پی حلگر، ارتباط سی‌پی‌یو و کمک پردازنده و لایه‌های حافظه و ارتباط بین قسمت‌های مختلف در این چارچوب مدیریت می‌شود. این چارچوب شامل بخش‌هایی برای تعریف معماری کمک پردازنده با استفاده از نرم‌افزارهای اچ‌ال‌اس و ویوادو و ایجاد ارتباط با سی‌پی‌یو شامل درایورهای سیستم عامل و توابع عملیاتی برای تنظیم شرایط اولیه و مرزی و دریافت نتایج از طریق درگاه پی‌سی‌آی اکسپرس می‌باشد. در این مقاله، پس از توسعه چارچوب نرم‌افزاری، نحوه ساخت یک کمک پردازنده برای حل معادله لاپلاس دو بعدی ارائه شده است. بر اساس نتایج بدست آمده، علاوه بر سهولت بکارگیری این چارچوب برای ساخت کمک پردازنده مبتنی بر اف‌پی‌جی‌ای، مقایسه سرعت محاسبات با این کمک پردازنده و سی پی یو نشان دهنده افزایش سرعت 22 برابری حل معادله لاپلاس بوده، که در صورت طراحی این کمک پردازنده بر پایه عملیات ممیز ثابت، سرعت حل تا 65 برابر قابل افزایش است.

A framework for developing an FPGA based coprocessor for accelerating numerical computations

Ayyoub Nikravan Shalmani, Foad Farhani*

Department of Mechanical Engineering, Iranian Research Organization for Science and Technology (IROST), Tehran, Iran
* P.O.B. 33535111, Tehran, Iran, f.farhani@irost.ir

ARTICLE INFORMATION

Original Research Paper
Received 29 July 2017
Accepted 02 September 2017
Available Online 05 October 2017

Keywords:
Software framework
Coprocessor
Partial differential equation
FPGA

ABSTRACT

In recent years, capability of FPGA hardware for accelerating the solution of differential equations has attracted wide attention. However, complexities associated with the implementation and development of these equations on FPGA has precluded the wider application of this hardware among the users in the field of CFD. In this research, a software framework has been developed, which enables users to develop an FPGA based coprocessor for solving implicit PDE equations, quickly and with minimum complexity. Using this framework, the user defines the solution network and the algebraic equations, and the framework manages other operations such as construction of the solver IP, interface between the CPU and the coprocessor, memory layers and links among various parts. The framework consists of different sections for defining the architecture of the coprocessor using HLS and VIVADO software, and the links with CPU consisting of operating system drivers and operational functions for adjusting initial and boundary conditions and receiving the results through the PCIe port. Simplicity of the developed framework has been demonstrated by the construction of a coprocessor for solving two-dimensional Laplace equation. Comparison of speed of solution on CPU with the FPGA based coprocessor shows a 22-fold increase in the speed of solution of Laplace equation, and if fixed point operation is used in the construction of the coprocessor, the speed will even increase 65-fold.

1-مقدمه

امروزه تحقیقات زیادی در زمینه پیاده‌سازی محاسبات با کارایی بالا بر روی تراشه‌های چند هسته‌ای، سخت‌افزارهای ویژه و سیستم‌های تلفیقی غیرهمگن، شامل یک یا چند پردازنده معمولی و پردازنده‌های ویژه، انجام شده است. از جمله این پردازنده‌ها می‌توان به واحد پردازنده گرافیکی[1] اشاره نمود، که در کنار پردازنده‌های چند هسته‌ای[2] به خوبی کارایی خود را در حل مسائل عددی نشان داده‌اند [1]. همچنین، استفاده از بستر سخت‌افزاری

[1] Graphic Processing Unit (GPU)
[2] Multi core Central Processing Unit (CPU)

Please cite this article using:

برای ارجاع به این مقاله از عبارت ذیل استفاده نمایید:

A. Nikravan Shalmani, F. Farhani, A framework for developing an FPGA based coprocessor for accelerating numerical computations, *Modares Mechanical Engineering*, Vol. 17, No. 10, pp. 58-64, 2017 (in Persian)

[Downloaded from mme.modares.ac.ir on 2024-04-26]

[DOR: 20.1001.1.10275940.1396.17.10.52.0]

آرایه‌های قابل برنامه‌ریزی در میدان[1]، باعث توسعه راه‌کار جدیدی با عنوان محاسبات قابل بازپیکربندی[2] برای حل معادلات بر پایه پیاده‌سازی سخت‌افزاری شده است [2]. این راهکار جدید به دلیل افزایش سرعت حل و کاهش توان مصرفی، مورد توجه جدی پژوهشگران قرار گرفته است. محققان آژانس تحقیقات فضایی ژاپن، در تحقیقی با هدف افزایش سرعت حل عددی مسائل دینامیک سیالات، بخش‌هایی از کد فستار[3] را بر روی بستر سخت‌افزاری اف‌پی‌جی‌ای پیاده‌سازی کردند [3]. نتایج این تحقیق نشان می‌دهد که سرعت محاسبات مربوط به عبارت جابه‌جایی این کد، در حدود 30٪ کل زمان محاسبات، به 6 برابر افزایش یافته است. در پژوهشی دیگر، سانچز رومن و همکاران [4] با پیاده‌سازی بخش‌های انتگرال زمانی و مکانی یک کد موجود CFD بر روی اف‌پی‌جی‌ای، سرعت محاسبات جریان دائم حول یک ایرفویل را در مقایسه با حل برروی سی پی یو به میزان 16 برابر افزایش دادند. بستر اف‌پی‌جی‌ای برای حل معادله موج به منظور یافتن جنس لایه‌های زمین در تحقیقات دیگری استفاده شده است [6,5]. همچنین بستر سخت‌افزاری اف‌پی‌جی‌ای برای پیاده‌سازی روش‌های غیرکلاسیک از قبیل شبکه‌های عصبی [7] و یا اتومتای سلولی [8] استفاده شده است. روش و فرآیند پیاده‌سازی حل عددی برخی از معادلات بر روی بستر سخت‌افزار ارائه [10,9]شده در مراجع اف‌پی‌جی‌ای است. حل معادلات دیفرانسیل پاره‌ای بر روی این بستر سخت‌افزاری لازم است کاربر ضمن تسلط بر روش حل معادلات موردنظر، از دانش کافی در زمینه تنظیم معماری سخت‌افزاری برای پیاده‌سازی المان بندی‌های منطبق بر هندسه حل معادلات، پیاده‌سازی الگوریتم ضمنی حل معادلات در داخل اف‌پی‌جی‌ای و ایجاد بستر مناسب برای ارتباط و انتقال اطلاعات بین اف‌پی‌جی‌ای و دنیای خارج آن به خصوص سی پی یو برخوردار باشد.

در سال‌های اخیر، زبان‌های برنامه‌نویسی سطح بالا نظیر اچ ال اس[11]، اپن سی ال[4] [12] و محیط‌های برنامه‌نویسی همچون اس دی اکسل[5] [13]، که زمان برنامه‌نویسی را نسبت به زبان‌های تعریف سخت‌افزاری همچون وریلاگ[6] و وی اچ دی ال[7] برای کاربران کاهش می‌دهند، توسعه یافته است. با این وجود، ضروریست که این کاربران از دانش کافی در حوزه طراحی سخت‌افزاری معادلات برخوردار بوده و کماکان باید بسیاری از تنظیمات سخت‌افزاری و نرم‌افزاری از قبیل ارتباط بین سی پی یو و اف‌پی‌جی‌ای را خود انجام دهند. بنابراین، ایجاد سیستمی مجتمع و کاربرپسند، با فرآیندهای مختلف طراحی کمک پردازنده به صورت یکپارچه، که در آن کاربر صرفا بر روی معادلات خود تمرکز نماید، یک نیاز اساسی به‌منظور فراگیر شدن استفاده از بستر سخت‌افزار اف‌پی‌جی‌ای، در بین کاربران غیرمتخصص در حوزه سخت‌افزار می‌باشد.

در این مقاله، چارچوبی نرم‌افزاری برای ساخت کمک پردازنده حل ضمنی معادلات دیفرانسیل پاره‌ای با حداقل پیچیدگی و زمان پیاده‌سازی ارائه شده است. این چارچوب نرم‌افزاری شامل دو بخش اصلی است: بخش اول برای تعریف معماری سخت‌افزاری کمک پردازنده مبتنی بر اف‌پی‌جی‌ای با استفاده از نرم‌افزارهای اچ ال اس و ویوادو[8] و بخش دوم برای ایجاد ارتباط بین سی پی یو و کمک پردازنده، که شامل درایورهای سیستم عامل و توابع عملیاتی برای تنظیم شرایط اولیه و مرزی و دریافت نتایج از طریق درگاه پی سی آی اکسپرس[9] می‌باشد. با استفاده از این چارچوب نرم‌افزاری، کاربر فقط شبکه حل و معادلات جبری آن را تعریف کرده و بقیه موارد شامل ارتباط سی پی یو و کمک پردازنده و لایه‌های حافظه و مدیریت ارتباط بین بخش‌های مختلف در این چارچوب انجام می‌شود. در این مقاله، ابتدا بخش‌های نرم‌افزاری و سخت‌افزاری این چارچوب، فرآیند ساخت کمک پردازنده مبتنی بر اف‌پی‌جی‌ای و نحوه ایجاد ارتباط بین سی پی یو و کمک پردازنده معرفی شده است. در ادامه به منظور نشان دادن سهولت بکارگیری چارچوب توسعه یافته، فرآیند ساخت کمک پردازنده حل ضمنی معادله لاپلاس دو بعدی ارائه شده است. همچنین افزایش سرعت محاسبات با کمک پردازنده مبتنی بر اف‌پی‌جی‌ای نسبت به سی پی یو ارزیابی شده است.

2-الزامات معماری کمک پردازنده مبتنی بر اف‌پی‌جی‌ای

روند حل ضمنی معادلات دیفرانسیل پاره‌ای با تعریف شبکه گره‌ها و شرایط اولیه و مرزی مسئله شروع شده و در نهایت نتایج به روش حل تکراری به دست می‌آیند. بنابراین ضروری است معماری کمک پردازنده حل ضمنی معادله دیفرانسیل پاره‌ای مبتنی بر اف‌پی‌جی‌ای با در نظر گرفتن روند فوق پیاده‌سازی شود. این کمک پردازنده شامل دو بخش معماری سخت‌افزاری و مجموعه دستورها نرم‌افزاری است. پردازنده مرکزی از طریق این دستورها با کمک پردازنده ارتباط برقرار کرده و تنظیمات لازم را ارسال نموده و فرآیند انتقال داده‌ها را کنترل می‌کند. بنابراین لازم است در هر یک از بخش‌های این کمک پردازنده، موارد زیر پیاده‌سازی شود:

- در بخش سخت‌افزاری (معماری کمک پردازنده): تعریف شبکه حل و راه‌اندازی درگاه ارتباطی با سی پی یو
- در بخش نرم‌افزاری (برای ارتباط سی پی یو با کمک پردازنده): تعریف دستورها تنظیمات شرایط اولیه و مرزی و تعریف دستور دریافت اطلاعات از حافظه

مهمترین بخش در ساخت این نوع کمک پردازنده، نحوه تعریف شبکه حل و المان‌ها و یا گره‌های حاصل از مش‌بندی این سیستم و ارتباط محاسباتی بین آن‌ها می‌باشد. بقیه بخش‌ها برای تعامل با این بخش پیکربندی می‌شوند.

به منظور پیاده‌سازی حل معادلات دیفرانسیل پاره‌ای[10] به‌صورت ضمنی بر بستر اف‌پی‌جی‌ای، ابتدا باید شبکه حل و معادلات جبری بین گره‌های آن تعریف شود. در پیاده‌سازی سخت‌افزاری، هدف، تولید شبکه شابلونی[11] است، که در آن عبارت‌های محاسباتی بین همه گره‌های شبکه تکرار شده و هر گره وضعیت خود را با گره‌های همسایه به اشتراک می‌گذارد و کل شبکه به صورت هم زمان محاسبه می‌شود. این ساختار معمولاً در قالب حلقه‌های تو در تو[12] در کد حل معادلات پیاده‌سازی می‌شود. استفاده از حلقه‌های تو در تو در حل ضمنی معادلات دیفرانسیل پاره‌ای به‌دلیل وابستگی بین گره‌ها، باعث عدم حل همزمان تمام گره‌ها خواهد شد. به همین دلیل عملیات کامپایل ویژه ای به نام کامپایل چندوجهی[13] برای استخراج ساختار شابلونی در قالب چارچوب‌های نرم‌افزاری نظیر مراجع [16,14] پیشنهاد شده است. با استفاده از عبارت‌های پردازشی خاص که توسط این چارچوب‌ها به کامپایلر اصلی اضافه می‌شود، استخراج ساختار شابلونی از درون حلقه‌های تو در تو امکان

[1] Field Programmable Gate Array (FPGA)
[2] Reconfigurable Computing
[3] FASTAR
[4] Opencl
[5] SDAccel
[6] Verilog
[7] VHDL
[8] VIVADO

[9] PCIe
[10] PDE
[11] stencil
[12] loops
[13] Polyhedral compilation

[Downloaded from mme.modares.ac.ir on 2024-04-26]
[DOR: 20.1001.1.10275940.1396.17.10.52.0]

نسخه پیش از انتشار برای تایید نویسنده

پذیر می‌شود. با این وجود، همه این چارچوب‌ها به‌دلیل افزودن دستورها اضافی به کل سیستم برنامه‌نویسی، باعث پیچیده تر شدن روند پیاده‌سازی می‌شوند.

یکی از روش‌های شناساندن ساختار شابلونی در حل ضمنی معادلات دیفرانسیل پاره‌ای، باز کردن حلقه‌های تو در تو و افزودن متغیرهای واسط بین گره‌های همسایه، برای ایجاد عدم وابستگی همزمان گره‌ها به یکدیگر می‌باشد. این متغیرهای واسط با ذخیره مقادیر مرحله قبلی گره‌ها، دسترسی تمامی گره‌ها به اطلاعات را به صورت لحظه‌ای امکان‌پذیر می‌کنند. بنابراین به روزرسانی گره‌ها همانند روش ژاکوبی، با استفاده از مقادیر قبلی گره‌ها و بدون نیاز به انجام محاسبات جدید گره‌های قبلی انجام می‌شود. این روند، در مواجهه با حلقه‌های تو در تو در چارچوب‌های مراجع [16,14] استفاده شده است. استفاده از روش ژاکوبی و یا روش‌هایی که برای محاسبات گره‌ها در شبکه، به روزرسانی گره‌های همسایه موردنیاز نیست، در بستر سخت‌افزاری اف‌پی‌جی‌ای، که قابلیت پیاده‌سازی ساختار حل موازی وجود دارد، نتایج بهتری ارائه می‌دهد.

در چارچوب توسعه‌یافته، پیاده‌سازی ساختار شابلونی حل ضمنی معادلات دیفرانسیل پاره‌ای، با استفاده از روش‌ها و روندهای پیشنهاد شده در مراجع [16,14] و بدون استفاده از کتابخانه‌های ارائه شده در این مراجع، انجام شده است. در چارچوب پیشنهادی، این عملیات با باز کردن حلقه‌ها و افزودن متغیرهای واسط، به‌صورت دستی انجام شده است. باز کردن حلقه‌ها به صورت دستی، اگر چه منجر به تولید تعداد خط‌های زیادی می‌شود، ولی با توجه به این‌که همه سطرهای این معادلات تکراری هستند، می‌توان از روندی خودکار برای تولید آن استفاده نمود. به همین دلیل در چارچوب نرم‌افزاری پیشنهادی، نرم‌افزاری تعبیه شده است که در آن با تعریف عملیات داخلی حلقه تو در تو و تعیین تعداد گره‌های موردنظر و تعداد تکرار، متن کد تعریف شبکه شابلونی نوشته می‌شود. سپس این کد را می‌توان در داخل کد قالب‌گونه[1] نرم‌افزار اچ ال اس وارد نمود تا کل شبکه معادله دیفرانسیل پاره‌ای تعریف گردد. روش فوق به دلیل سهولت پیاده‌سازی و عدم نیاز به کار با کتابخانه جدید و همچنین تولید خودکار متن کد تعریف شبکه، مزایای خاصی نسبت به کتابخانه‌های مورد استفاده برای استخراج شبکه شابلونی معادلات دیفرانسیل پاره‌ای دارد.

3- جزئیات معماری چارچوب توسعه یافته برای ساخت کمک پردازنده

این چارچوب نرم‌افزاری دارای ساختار قالب‌گونه است و بخش‌های مختلف آن، که از قبل طراحی و پیاده‌سازی شده اند، با یکدیگر در ارتباط هستند (شکل 1). در این ساختار، کاربر با توجه به نوع معادله، با استفاده از کمترین تعداد عملیات، صرفاً کد موجود در زبان اچ ال اس را تغییر می‌دهد و نیازی به تغییر بخش‌های دیگر نمی‌باشد.بخش‌های مختلف این چارچوب عبارتند از:

1- بخش ساخت معماری سخت‌افزاری کمک پردازنده شامل:

الف) کد زبان برنامه‌نویسی اچ ال اس که با توجه به نوع معادله باید توسط کاربر ویرایش شود

ب) نمودار جعبه ای[2] پیاده‌سازی شده در ویوادو

ج) بخش ارتباط کمک پردازنده با کامپیوتر از طریق درگاه پی سی آی اکسپرس

2- بخش ارتباط با کمک پردازنده از طریق کامپیوتر شامل:

الف) درایور ارتباطی پی سی آی اکسپرس

ب) کتابخانه ارتباطی بین کامپیوتر و کمک پردازنده به زبان پایتون و سی شارپ

3- نرم‌افزار کمکی برای تولید متن تعریف شبکه شابلونی برای جاگذاری در متن کد اچ ال اس

از سه بخش ذکر شده، بخش ساخت معماری کمک پردازنده در بستر سخت‌افزاری اف‌پی‌جی‌ای و بخش نرم‌افزاری در داخل سیستم کامپیوتری پیاده‌سازی می‌شوند. بخش سوم برای تولید متن مورد نیاز برای تعریف شبکه شابلونی در کد قالب‌گونه اچ ال اس استفاده شده است.

3- 1-سخت افزار کمک پردازنده

در بخش سخت‌افزاری چارچوب پیشنهادی، لینک ارتباطی اف‌پی‌جی‌ای با سی پی یو محل ارتباط اف‌پی‌جی‌ای با جهان بیرون خواهد بود، که می‌تواند هر یک از درگاه‌های داخلی بورد اصلی مانند پی سی آی اکسپرس و یا حتی یو اس بی باشد. در زمینه ارتباط از طریق پی سی آی اکسپرس چارچوب‌های متن‌باز همچون اف اف لینک[3] [17] ،ریفا[4] [18] ،جت استریم[5] [19]، ای پی ای[6] [20] و دایرکت[7] [21] و موجود بوده و همگی از سیستم عامل لینوکس پشتیبانی می‌کنند.

در میان این چارچوب‌ها، تنها ریفا از سیستم عامل ویندوز هم پشتیبانی می‌کند، که با استفاده از آن می‌توان گستره وسیع تری از سکوهای عملیاتی را پشتیبانی نمود، بنابراین در چارچوب پیشنهاد شده در این تحقیق از ریفا برای ارتباط از طریق پی سی آی اکسپرس استفاده شده است.

قسمت بعدی در معماری سخت‌افزار طراحی کنترلر است، که وظیفه دریافت، ارسال و پخش اطلاعات را درون سخت‌افزار اف‌پی‌جی‌ای بر عهده داشته و از یک طرف با بخش پی سی آی اکسپرس و از طرف دیگر با بخش حلگر داخل اف‌پی‌جی‌ای در ارتباط می‌باشد (شکل 1).

درون حلگر، چندین ثبات[8] برای ذخیره اطلاعات هر گره، از قبیل فشار، سرعت و یا هر پارامتر دیگر وجود دارد. کنترلر در ابتدا، برای تنظیم شرایط اولیه و مرزی همه ثبات موجود در حلگر را مقداردهی کرده و در انتهای

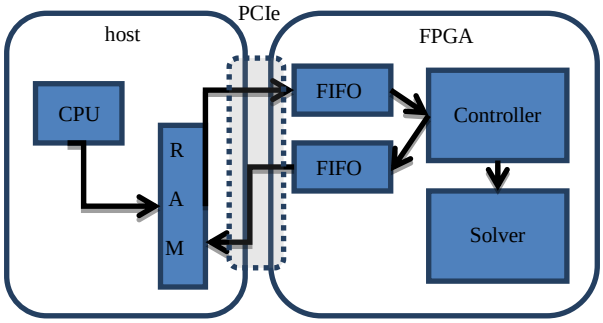

Fig. 1 Structure and configuration of different parts of the proposed framework

شکل 1 ساختار و ارتباط بخش‌های مختلف چارچوب پیشنهادی

[1] Template based
[2] Block diagram

[3] FFLink
[4] RIFFA
[5] Jetstream
[6] EPEE
[7] Dyract
[8] Register

[Downloaded from mme.modares.ac.ir on 2024-04-26]

[DOR: 20.1001.1.10275940.1396.17.10.52.0]

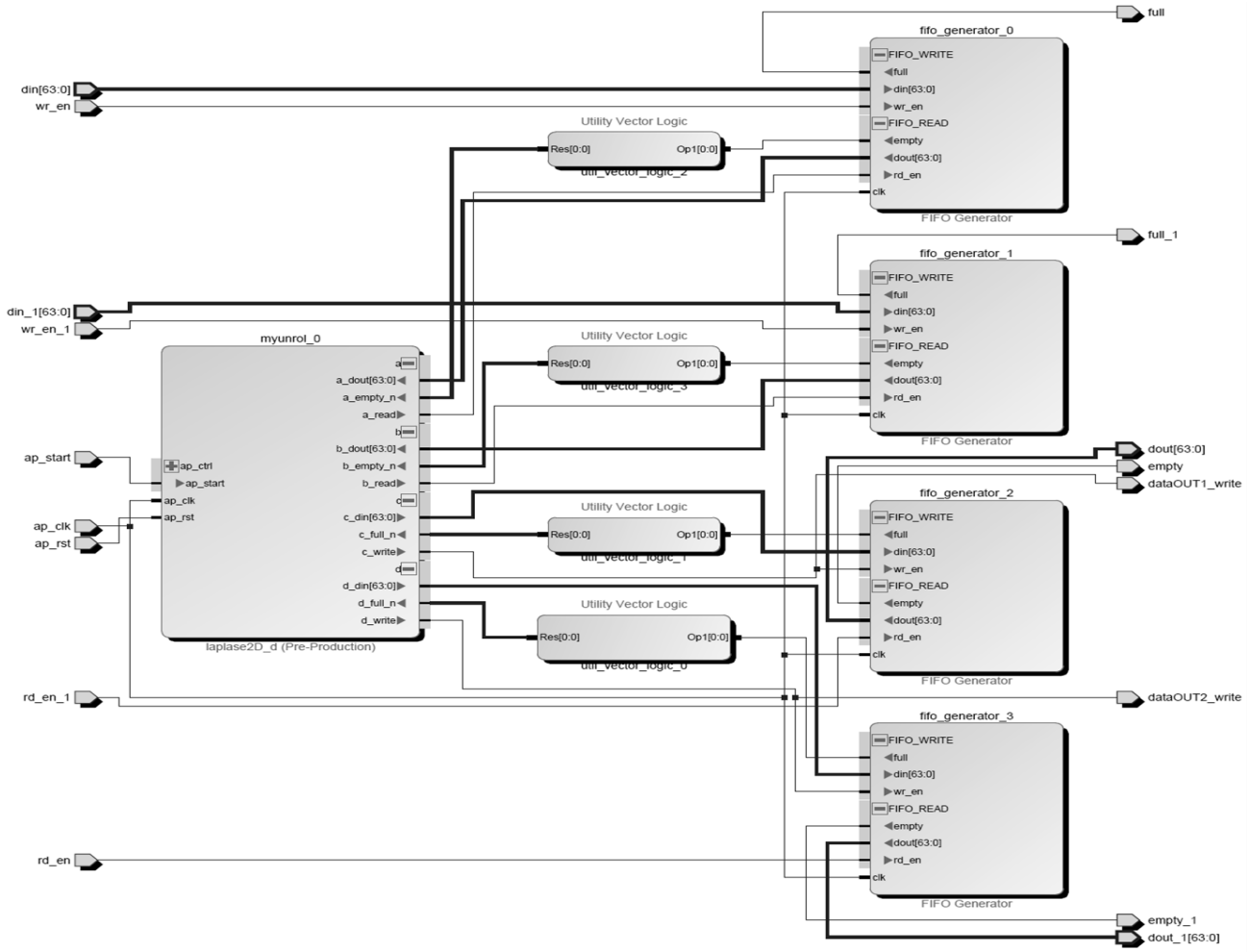

Fig. 2 block diagram of coprocessor architecture

شکل 2 بلوک دیاگرام معماری کمک پردازنده

عملیات حلگر، نتایج را از ثبات‌ها بازیابی می‌کند. همان‌گونه که در "شکل 1" نشان داده شده است، برای ارتباط کنترلر با رابط پی سی آی اکسپرس چند عدد فیفو[1] در داخل معماری سخت‌افزاری تعبیه شده است که محل ذخیره موقت اطلاعات می‌باشد. این اطلاعات ابتدا داخل فیفو ریخته شده و سپس با توجه به نوع دستور داده شده اطلاعات بین ثبات‌ها تقسیم و یا از آن‌ها واکشی می‌شود. "شکل 2"، بلوک دیاگرام اجزاء بخش سخت‌افزاری چارچوب طراحی شده در نرم‌افزار ویوادو را نشان می‌دهد. درگاه‌های ورودی و خروجی این بلوک دیاگرام به چارچوب ریفا وصل شده و در نتیجه از طریق آن‌ها ارتباط با پی سی آی اکسپرس برقرار می‌شود. بخش‌های کنترلر و حلگر در ساختار کدی قالب‌گونه در نرم‌افزار اچ ال اس تعریف می‌شوند. حلگر شامل تمامی‌گره‌ها و روابط جبری بین آن‌ها است که نمایانگر میدان حل معادله دیفرانسیل پاره‌ای می‌باشد. از سوی دیگر، متن شبکه شابلونی به همراه تعریف ثبات‌ها و تعریف کنترلر در کد قالب‌گونه اچ ال اس تعبیه شده است. خروجی کامپایل شده این کد، که در "شکل 2" با یک دایره مشخص شده است، به صورت یک آی پی[2] در داخل بلوک دیاگرام سخت‌افزاری کمک پردازنده قرار داده شده است. شایان ذکر است این آی پی تنها بخشی از چارچوب توسعه یافته است که بسته به نوع معادله دیفرانسیل پاره‌ای با تغییر کد قالب‌گونه اچ ال اس تغییر می‌کند. این موضوع، باعث سهولت در استفاده از این چارچوب می‌شود زیرا در کل معماری، فقط بخش آی پی تغییر کرده و بقیه معماری سخت افزار کمک پردازنده بدون تغییر باقی می‌ماند.

3-2- نرم‌افزار کمک پردازنده

در چرخه کاری برای حل معادلات به‌صورت ضمنی با استفاده از کمک پردازنده مبتنی بر اف‌پی‌جی‌ای، ابتدا شبکه و شرایط اولیه و مرزی معادله توسط کاربر و با استفاده از یکی از زبان‌های موجود مانند سی شارپ[3]، پایتون و یا متلب تعریف می‌شود. سپس اطلاعات گره‌ها برای شروع حل، با استفاده از چند دستور نرم‌افزاری به اف‌پی‌جی‌ای فرستاده می‌شود. به کمک این دستورها سی پی یو ابتدا اطلاعات را به حافظه اصلی کامپیوتر و سپس از آنجا از طریق کد ریفا به کنترلر ارسال می‌کند (شکل 1). دستورها مورد استفاده برای انتقال اطلاعات شامل موارد زیر می‌شوند:

- دستور تعریف شرایط مرزی
- دستور تعریف شرایط اولیه
- دستور شروع حل

چارچوب پیشنهادی به گونه ای طراحی شده است که نتایج نهایی حل در فیفوهای خروجی ثبت شده و به طور خودکار از طریق درگاه پی سی آی اکسپرس به حافظه اصلی کامپیوتر انتقال می‌یابد تا سی پی یو برای انجلم پردازش‌های بعدی به این اطلاعات دسترسی داشته باشد. بنابراین کد

[1] First Input First output (FIFO)
[2] Intellectual Property (IP)
[3] C#

[Downloaded from mme.modares.ac.ir on 2024-04-26]
[DOR: 20.1001.1.10275940.1396.17.10.52.0]

نسخه پیش از انتشار برای تایید نویسنده

دستوری مجزا برای انتقال داده‌ها در انتهای فرآیند حل، تعریف نشده است.

دستور تعریف شرایط مرزی برای انتقال اطلاعات به گره‌ها و یا المان‌های مرزی شامل دو عملوند[1] آرایه‌ای می‌شود که اولی برای تخصیص شماره گره‌های مرزی و دیگری برای تخصیص مقادیر آن‌ها در نظر گرفته شده است. مقداردهی گره‌های مرزی توسط کنترلر با توجه به این مقادیر انجام می‌شود. با توجه به نوع معادلات، مقادیر گره‌های ذخیره شده در ثبات‌ها می‌تواند شامل کمیت‌هایی نظیر فشار، دما و یا سرعت باشد. بنابراین دستور تعریف شرایط مرزی به صورت زیر نوشته می‌شود:

LoadBoundary (nodes[node1,node2,..],values[value1,value2,..])

دومین دستور که شامل دو عملوند آرایه‌ای است برای تعریف شرایط اولیه اعمال می‌شود. اولین عملوند برای تعریف شماره گره‌ها و دیگری برای تعیین مقادیر آن‌ها است. این مقادیر به کنترلر فرستاده شده و کنترلر نیز همانند روند دستور قبلی این گره‌ها را مقداردهی می‌نماید. عبارت زیر دستور تعریف شرایط اولیه را نشان می‌دهد:

LoadInitial (nodes[node1,node2,..],values[value1,value2,..])

پس از اتمام مقدار دهی شرایط اولیه و مرزی، دستور شروع اجرای حل که شامل یک عملوند می‌باشد، صادر می‌شود. عملوند دستور اجرا، تعداد تکرار لازم برای حل مسئله را تعیین کرده و حلگر داخل اف‌پی‌جی‌ای، پس از دریافت این دستور، اجرای محاسبات را براساس تعداد تکرار تعیین شده شروع می‌کند. دستور شروع اجرای حل به‌صورت زیر است:

RUN (iterates)

در نهایت، سی پی یو نتایج خروجی کمک پردازنده را دریافت کرده و با توجه به الگوریتم حل در خصوص ادامه و یا خاتمه حل تصمیم‌گیری می‌کند.

4-فرآیند کلی ساخت کمک پردازنده با استفاده از چارچوب توسعه یافته

فرآیند ساخت کمک پردازنده مبتنی بر اف‌پی‌جی‌ای برای حل ضمنی معادلات دیفرانسیل پاره‌ای با استفاده از چارچوب توسعه یافته در "شکل 3" نشان داده شده است. برای این منظور، ابتدا شبکه گره‌ها و معادلات جبری در کد اچ ال اس به صورت دستی و یا با استفاده از نرم‌افزار کمکی موجود در چارچوب پیاده‌سازی می‌شود و متن تعریف شبکه عینا در کد اچ ال اس موجود در چارچوب قرار داده می‌شود. در ادامه، کد اچ ال اس پس از کامپایل شدن به صورت یک آی پی در داخل بلوک دیاگرام موجود در نرم‌افزار ویوادو وارد شده و جایگزین آی پی موجود در بلوک دیاگرام می‌شود. در نهایت، نرم‌افزار ویوادو برای تولید بیت استریم[2]، این بلوک دیاگرام را کامپایل کرده و برای پیاده‌سازی سخت‌افزاری کمک پردازنده روی اف‌پی‌جی‌ای بارگذاری می‌شود.

در سمت میزبان، پس از ساخت و پیاده‌سازی معماری کمک پردازنده بر روی بستر اف‌پی‌جی‌ای، برنامه‌ای توسط کاربر برای ارتباط با کمک پردازنده از طریق درگاه پی سی آی اکسپرس، با استفاده از دستورها ارائه شده در بخش نرم‌افزاری چارچوب، نوشته می‌شود. این نرم‌افزار، اطلاعات مربوط به مقداردهی شرایط اولیه و مرزی مسئله را از طریق دستورها از پیش تعریف شده شده به اف‌پی‌جی‌ای ارسال نمود. در نهایت، نتایج دریافت شده از اف‌پی‌جی‌ای می‌تواند در صورت نیاز، در قالب موردنظر کاربر ارائه شود (شکل 4).

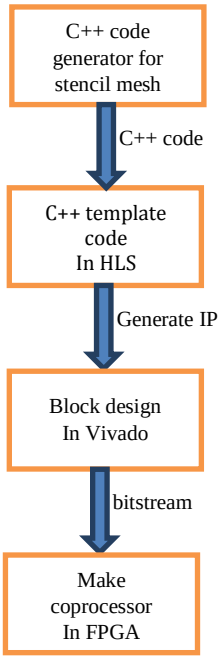

Fig 3 Development of FPGA based coprocessor using the proposed framework

شکل 3 روند ساخت کمک پردازنده مبتنی بر اف‌پی‌جی‌ای در چارچوب پیشنهادی

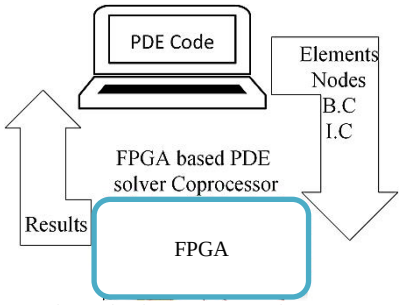

Fig.4 The process flow of software section of the PDE solver

شکل 4 فرآیند عملیات بخش نرم‌افزاری حلگر معادلات دیفرانسیل پاره‌ای

5- ساخت کمک پردازنده معادله لاپلاس با استفاده از چارچوب توسعه یافته

به منظور نشان دادن سهولت به‌کارگیری این چارچوب نرم‌افزاری برای ساخت کمک پردازنده حل ضمنی معادلات دیفرانسیل پاره‌ای، یک کمک پردازنده حل معادله لاپلاس دو بعدی با استفاده از این چارچوب ساخته شد. معادله لاپلاس یک معادله از نوع بیضوی و پایا می‌باشد که کاربردهای مختلفی در حوزه سیالات و انتقال حرارت دارد. رابطه (1) نشان دهنده معادله لاپلاس دو بعدی می‌باشد.

$$\frac{\partial^2 u}{\partial x^2}+\frac{\partial^2 u}{\partial y^2}=0 \qquad (1)$$

شکل تفاضل محدود حل ضمنی رابطه (1) به صورت رابطه (2) می‌باشد، که در آن مقدار جدید هر گره از میانگین مقادیر قبلی گره‌های همسایه به دست می‌آیند.

$$u_{ij}^{n+1}=\frac{(u_{i+1j}^{n}+u_{i-1j}^{n}+u_{ij+1}^{n}+u_{ij-1}^{n})}{4} \qquad (2)$$

در ادامه به منظور ساخت کمک پردازنده حل معادله لاپلاس دو بعدی، رابطه (2) برای 400 گره موجود در شبکه 20×20 گره‌ای بر روی بستر اف‌پی‌جی‌ای پیاده‌سازی شد برای حل همزمان و ضمنی این 400 گره لازم است تا

[1] operand
[2] bitstream

[Downloaded from mme.modares.ac.ir on 2024-04-26]
[DOR: 20.1001.1.10275940.1396.17.10.52.0]

وابستگی بین گره‌ها به مقادیر جدید گره‌های همسایه‌ها حذف شود. برای این کار از نرم‌افزار کمکی استفاده شده است. خروجی این نرم‌افزار (یک کد 400 خطی برای این مسئله)، جایگزین بخشی از کد موجود در نرم‌افزار اچ ال اس گردید. پس از کامپایل شدن، کد نرم‌افزاری اچ ال اس به یک آی پی محاسباتی تبدیل شده که به‌عنوان بخشی از بلوک دیاگرام وارد نرم‌افزار ویوادو می‌شود. این آی پی، در کنار بقیه بخش‌های ارتباطی موجود در بلوک دیاگرام طراحی شده در نرم‌افزار ویوادو، در نهایت پس از کامپایل شدن، به معماری کمک پردازنده حل معادله دو بعدی لاپلاس تبدیل می‌شود.

5-1- حل چند نوع مسئله لاپلاس دو بعدی با شرایط مرزی و اولیه مختلف

یکی از قابلیت‌های کمک پردازنده ساخته شده با استفاده از این چارچوب پیشنهادی، امکان تغییر شرایط مرزی و اولیه مسئله می‌باشد که این کار با استفاده از دستورها نرم‌افزاری موجود در این چارچوب امکان‌پذیر است. بنابراین با یک بار ساختن کمک پردازنده با معادله حاکم مشخص، می‌توان از آن برای حل هر مسئله ای از نوع آن معادله استفاده نمود.

در این قسمت، حل دو مسئله از نوع معادله لاپلاس برای انتقال حرارت پایای دوبعدی و با دو شرط مرزی مختلف بررسی شد که در یکی گره‌های موجود در مرز بالایی و پایینی برابر 100 درجه و در دیگری فقط مرز پایینی

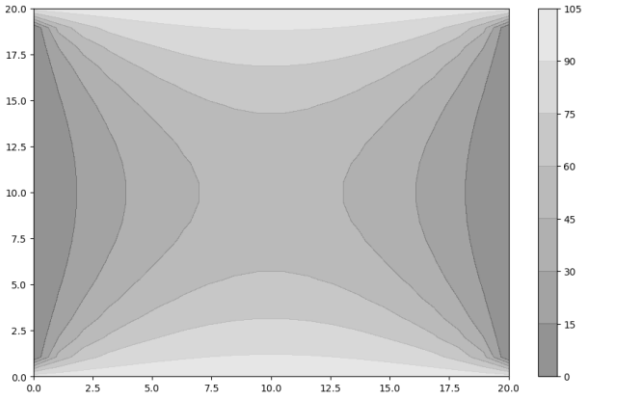

Fig 5 Results of computation for solution of Laplace equations with temperature boundary condition at lower and upper surfaces of 100 ºC

شکل 5 نتایج محاسبه حل معادله لاپلاس با شرط مرزی دمای 100 درجه در پایین و بالای مرزها

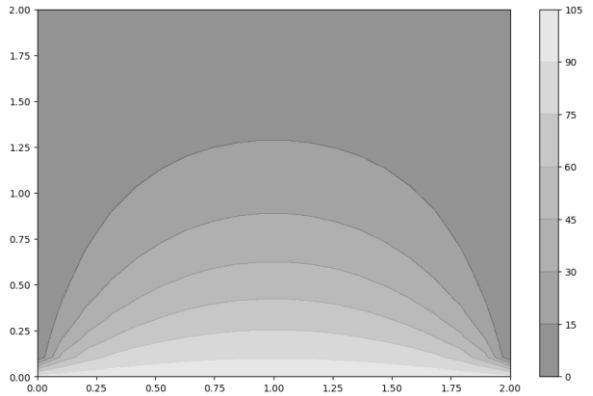

Fig 6 Results of computation for solution of Laplace equations with temperature boundary condition at lower surface of 100 ºC

شکل 6 نتایج محاسبه حل معادله لاپلاس با شرط مرزی دمای 100 درجه در پایین مرز

برابر 100در نظر گرفته شده است. نتایج حل این دو مسئله به ترتیب در "شکل‌های 5 و 6" نشان داده شده است.

در مقایسه این جواب‌ها و جواب‌های به‌دست آمده از سی پی یو، نرم اول اختلاف جواب‌ها در مرتبه 10^{-7} بوده است که با توجه به این‌که از محاسبات با دقت اعشاری معمولی استفاده شده است، نشان‌دهنده دقت بسیار بالای جواب‌های این کمک پردازنده می‌باشد.

امکان استفاده مجدد از کمک پردازنده برای حل مسائل مختلف، به کاربر این قابلیت را می‌دهد تا برای حل معادلات مختلف، کمک پردازنده‌های مختلفی ساخته و بنابر نیاز هر بار یکی از آن‌ها را داخل اف‌پی‌جی‌ای بارگذاری نماید. بنابراین می‌توان نه تنها یک کمک پردازنده بلکه یک مجموعه نرم‌افزاری با چندین کمک پردازنده برای حل معادلات مختلف بر پایه بستر سخت‌افزاری اف‌پی‌جی‌ای طراحی نمود.

5-2- مقایسه سرعت حل با کمک پردازنده ساخته شده و سی پی یو

به منظور بررسی قابلیت محاسباتی کمک پردازنده ساخته شده در مقایسه با سی پی یو، کد کامپایل شده ویوادو بر روی بورد اف‌پی‌جی‌ای مدل وی سی 709 ساخت شرکت زایلینکس پیاده‌سازی گردید. سی پی یو مورد استفاده در این بررسی از شرکت اینتل با فرکانس کاری 4 گیگاهرتز[1] می‌باشد. نتایج مقایسه حل معادله دو بعدی لاپلاس بر روی سی پی یو و کمک پردازنده مبتنی بر اف‌پی‌جی‌ای برای 1000 عدد تکرار در جدول 1 ارائه شده است. میزان افزایش سرعت حل این معادله با استفاده از کمک پردازنده ساخته شده نسبت به سی پی یو حدود 22 برابر می‌باشد. شایان ذکر است که این افزایش سرعت برای کمک پردازنده ساخته شده، در فرکانس کاری 125 مگاهرتز به دست آمده است که نشان دهنده مصرف کمتر انرژی، در فرآیند حل مسئله معادله دو بعدی لاپلاس می‌باشد.

یکی دیگر از قابلیت‌های چارچوب توسعه یافته، امکان ساخت کمک پردازنده در بستر سخت‌افزاری اف‌پی‌جی‌ای برای حل ضمنی معادلات، مبتنی بر انجام عملیات ممیز ثابت[2] می‌باشد. در سی پی یو به‌دلیل وجود سخت افزار ممیز شناور، استفاده از عملیات ممیز ثابت مزیتی ندارد. در مقابل، همان‌طور که در جدول 2 نشان داده شده است استفاده از عملیات ممیز ثابت در اف‌پی‌جی‌ای باعث کاهش مصرف منابع و افزایش سرعت محاسبات می‌شود.

جدول 1 هزینه محاسباتی حل معادله لاپلاس با دقت ممیز شناور معمولی برای 1000 عدد تکرار

Table 1 Computational cost for solving Laplace equation using single point floating operation for 1000 iteration

نوع پردازنده	فرکانس (مگاهرتز)	تعداد گره‌ها	زمان مصرفی (µs)	افزایش سرعت
CPU	4000	400	6770	1
FPGA	125	400	302	22.4

جدول 2 مصرف منابع و کلاک لازم برای انجام عملیات اعشاری در بورد

Table 2 VC709 Consumption of resources and clocks for decimal operation on VC709 FPGA board

نوع عملیات	LUT	FF	تعداد کلاک مورد نیاز
جمع ممیز شناور	434	648	14
جمع ممیز ثابت	32	0	1

[1] core i7-4790k
[2] Fixed point

[Downloaded from mme.modares.ac.ir on 2024-04-26]
[DOR: 20.1001.1.10275940.1396.17.10.52.0]

نسخه پیش از انتشار برای تایید نویسنده

جدول 3 هزینه محاسباتی حل معادله لاپلاس با دقت ممیز ثابت معمولی برای 1000 عدد تکرار

Table 3 Computational cost for solving Laplace equation using fixed point operation for 1000 iteration

نوع پردازنده	فرکانس کاری(مگا هرتز)	تعداد گره	زمان مصرفی (µs)	افزایش سرعت نسبت به سی پی یو
ممیز شناور	125	400	302	22.4
ممیز ثابت	125	400	104	65.1

در ادامه، یک کمک پردازنده مبتنی بر انجام عملیات ممیز ثابت برای حل معادله لاپلاس دو بعدی با شرایط مشابه مسئله قبلی با استفاده از چارچوب توسعه یافته طراحی و ساخته شد. نتایج حل معادله لاپلاس با استفاده از کمک پردازنده جدید در جدول 3 ارائه شده است. همان‌طور که در این جدول نشان داده شده است، سرعت اف پی جی ای نسبت به سی پی یو 65 برابر افزایش یافته است.

6-نتیجه‌گیری

با توجه به چارچوب طراحی شده برای ساخت کمک پردازنده حل معادلات دیفرانسیل پاره‌ای، اهم نتایج به دست آمده از این پژوهش شامل موارد زیر می‌باشد.

- با استفاده از قابلیت‌های سخت‌افزار اف‌پی‌جی‌ای، افزایش قابل ملاحظه ای در سرعت حل ضمنی معادلات دیفرانسیل پاره‌ای امکان‌پذیر است.
- پیچیدگی‌های پیاده‌سازی و برنامه‌نویسی این معادلات بر روی سخت‌افزار اف‌پی‌جی‌ای، باعث عدم فراگیر شدن آن در بین کاربران حوزه محاسبات عددی شده است.
- در پژوهش حاضر، چارچوبی نرم‌افزاری برای پیاده‌سازی روش حل ضمنی معادلات دیفرانسیل پاره‌ای بر روی بستر سخت‌افزاری اف‌پی‌جی‌ای با حداقل پیچیدگی و زمان پیاده‌سازی توسعه یافته است.
- این چارچوب به کاربران حوزه محاسبات عددی اجازه می‌دهد تا بدون درگیر شدن با پیچیدگی‌های پیاده‌سازی سخت‌افزاری و صرفا با تمرکز بر روی معادله موردنظر، کمک پردازنده‌ای مبتنی بر سخت افزار اف‌پی‌جی‌ای برای بهره‌گیری از قابلیت‌های این سخت‌افزار برای افزایش قابل ملاحظه سرعت حل این معادلات بسازند.
- چارچوب توسعه‌یافته با ایجاد ساختاری قالب‌گونه، این امکان را فراهم می‌سازد تا با تغییر معادله و مسئله، کاربر فقط بر بخش کوچکی از مسئله تمرکز نموده و تغییرات موردنظر را اعمال نماید و بقیه بخش‌ها و تمامی‌مراحل پیاده‌سازی و استفاده از کمک پردازنده توسط چارچوب مدیریت شود.
- به منظور نشان دادن نحوه استفاده از این چارچوب،کمک پردازنده حل معادله لاپلاس، به‌عنوان نمونه‌ای از یک معادله دیفرانسیل پاره‌ای، با استفاده از آن ساخته شد.
- استفاده از کمک پردازنده ساخته شده برای حل معادله لاپلاس باعث افزایش 22 برابری سرعت حل آن نسبت به پیاده‌سازی بر روی سی پی یو معمولی گردید.
- با کمک این چارچوب، همان کمک پردازنده با استفاده از عملیات ممیز ثابت تولید شد، که منجر به افزایش 65 برابری سرعت حل معادله لاپلاس شد. این افزایش سرعت در حالی است که فرکانس کاری این نوع اف‌پی‌جی‌ای حدود 3 درصد فرکانس سی پی یو مورد آزمایش بوده است.

7-مراجع

[1] J. Owens, M. Houston, D. Luebke, S. Green, J. Stone, J. Phillips, GPU Computing, *Proceedings of the IEEE*, Vol. 96, No. 5, pp. 879 –899, May 2008.

[2] P. Sundararajan, *High performance computing using FPGAs*, Technical Report. Available Online 2010: www.xilinx.com /support/documentation/white papers/wp 375 HPC Using FPGAs.pdf.

[3] M. S. AbuTalip, T. Akamine, M. Hatto, H. Amano, Adaptive flux calculation scheme in advection term computation using partial reconfiguration, *International Journal of Networking and Computing*, Vol. 3, No. 2, pp. 289-306, 2013.

[4] D. Sanchez-Roman, G. Sutter, S. Lopez-Buedo, I. Gonzalez, High-level languages and floating-point arithmetic for FPGA based CFD simulations, *IEEE Design & Test of Computers*, Vol. 28, No. 4, pp. 28-37, July-Aug, 2011.

[5] C. HE, *Numerical Solutions of Differential Equations on FPGA-Enhanced Computers*, PhD Thesis, A&M Texas-USA, 2007.

[6] J. Hu, *Solution of Partial Differential Equations Using Reconfigurable Computing*, PhD Thesis, University of Birmingham-England, 2010.

[7] Z. Nagay, *Implementation of Emulated Digital CNN-UM on Programmable Logic Device and It's Application*, PhD Thesis, 2010.

[8] S. Murtaza, *High Performance Reconfigurable Computing with Cellular Automata*, PhD Thesis, Von Amesterdam-Holand, 2010.

[9] F. Farhani, A. Ebrahimi, A. Nikravan, Hardware implementation of numerical solution of differential equations on FPGA, *Sharif Mechanical Engineering*, Vol. 33, No. 1, pp. 93-99, 2017. (in Persian فارسی)

[10]A. Ebrahimi, M. Zand, Evaluation of FPGA hardware as a new approach for accelerating the numerical solution of the Laplace problem, *Modares Mechanical Engi*neering, Vol. 17, No.1 , pp. 67-74, 2017. (in Persian فارسی)

[11] A. George, H. Lam, G. Stitt, *At the Forefront of Scalable Reconfigurable Supercomputing*, Computing in Science and Engg, Vol. 13, No. 1, pp. 82-86, January, 2011.

[12] *adapteva parallella super computer zynq board*, Accessed on 20 November 2015; https://www.parallella.org/.

[13] Avnet zynq 7020 board, Accessed on 20 November 2015; *http://zedboard.org/*.

[14] L. Pouchet, P. Zhang, P. Sadayappan, J. Cong, Polyhedral-based data reuse optimization for configurable computing, *Proceedings of the ACM/SIGDA international symposium on Field programmable gate arrays*, Association for Computing Machinery, New York, NY, USA, 2013.

[15] R. Cattaneo, G. Natale, C. Sicignano, D. Sciuto, M. D. Santambrogio, On how to accelerate iterative stencil loops: a scalable streaming-based approach, *Journal of Transactions on Architecture Code Optimization*, Vol. 12, No. 4, pp. 40-66, 2015.

[16] G. Natale, G. Stramondo, R. Cattaneo, P. Bressana, D. Sciuto, M. D. Santambrogio, A polyhedral model-based framework for dataflow implementation on FPGA devices of iterative stencil loops, *International Conference On Computer Aided Design (ICCAD)*, Association for Computing Machinery, New York, NY, USA, 2016.

[17] D. de la Chevallerie, J. Korinth, A. Koch, ffLink: A lightweight high-performance open-source PCI express Gen3 interface for recon- figurable accelerators, *International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies (HEART), International Symposium on*, At Boston MA (USA) 2015.

[18] M. Jacobsen, D. Richmond, M. Hogains, R. Kastner, RIFFA 2.1: A reusable integration framework for FPGA accelerators, ACM *Transactions on Reconfigurable Technology Systems*, Vol. 8, No. 4, pp. 1-23, 2015.

[19] M. Vesper, D. Koch, V. Kizheppatt, S. A. Fahmy , JetStream: An open-source high-performance PCI express 3 streaming library for FPGA-to-Host and FPGA-to-FPGA communication, *IEEE Xplore*, 2016,

[20] J. Gong, T. Wang, J. Chen, H. Wu, F. Ye, S. Lu, J. Cong, An efficient and flexible host-FPGA PCIe communication library, *24th International Conference on Field Programmable Logic and Applications (FPL)*, Munich, 2014.

[21] K. Vipin, S. A. Fahmy, DyRACT: A partial reconfiguration enabled accelerator and test platform, *2014 24th International Conference on Field Programmable Logic and Applications (FPL), Munich, 2014.*

[Downloaded from mme.modares.ac.ir on 2024-04-26]

[DOR: 20.1001.1.10275940.1396.17.10.52.0]